



IFW

**THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re U.S. Patent Application of )  
)  
**TAKAHASHI et al.** )  
)  
Application Number: 10/811,388 )  
)  
Filed: March 29, 2004 )  
)  
For: SEMICONDUCTOR INTEGRATED CIRCUIT FOR )  
HIGH FREQUENCY POWER AMPLIFIER, )  
ELECTRONIC COMPONENT FOR HIGH FREQUENCY )  
POWER AMPLIFIER, AND RADIO )  
COMMUNICATION SYSTEM )  
)  
ATTORNEY DOCKET NO. HITA.0533 )

Honorable Assistant Commissioner for Patents  
Washington, D.C. 20231

**LETTER**

Sir:

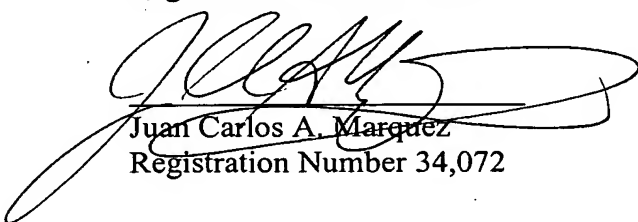
The below-identified communications are submitted in the above-captioned application or proceeding:

- |   |                           |   |
|---|---------------------------|---|
| <input checked="" type="checkbox"/> (X) | Priority Documents (1)    |   |
| <input checked="" type="checkbox"/> (X) | Request for Priority      | <input type="checkbox"/> ( ) Assignment Document              |
| <input type="checkbox"/> ( )            | Response to Missing Parts | <input type="checkbox"/> ( ) Petition under 37 C.F.R. 1.47(a) |
|   | w/ signed Declaration     | <input type="checkbox"/> ( ) Check for \$130.00               |

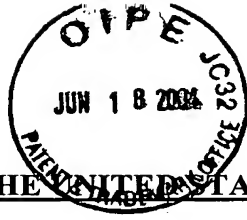
- ☒ [X] The Commissioner is hereby authorized to charge payment of any fees associated with this communication, including fees under 37 C.F.R. § 1.16 and 1.17 or credit any overpayment to Deposit Account Number 08-1480. A duplicate copy of this sheet is attached.

Respectfully submitted,

\_\_\_\_\_  
Stanley P. Fisher  
Registration Number 24,344

  
Juan Carlos A. Marquez  
Registration Number 34,072

**REED SMITH LLP**  
3110 Fairview Park Drive  
Suite 1400  
Falls Church, Virginia 22042  
(703) 641-4200  
June 18, 2004



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re U.S. Patent Application of )  
)  
TAKAHASHI et al. )  
)  
Application Number: 10/811,388 )  
)  
Filed: March 29, 2004 )  
)  
For: SEMICONDUCTOR INTEGRATED CIRCUIT FOR )  
HIGH FREQUENCY POWER AMPLIFIER, )  
ELECTRONIC COMPONENT FOR HIGH FREQUENCY )  
POWER AMPLIFIER, AND RADIO )  
COMMUNICATION SYSTEM )  
)  
ATTORNEY DOCKET NO. HITA.0533 )  
)  
Honorable Assistant Commissioner  
for Patents  
Washington, D.C. 20231

**REQUEST FOR PRIORITY  
UNDER 35 U.S.C. § 119  
AND THE INTERNATIONAL CONVENTION**

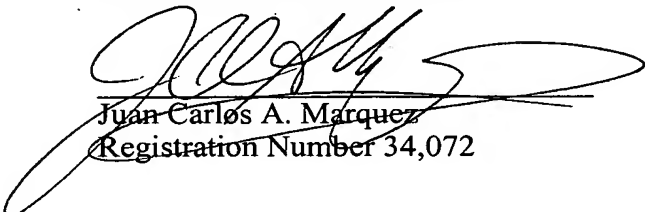
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of April 22, 2003, the filing date of the corresponding Japanese patent application 2003-116789.

A certified copy of Japanese patent application 2003-116789 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

\_\_\_\_\_  
Stanley P. Fisher  
Registration Number 24,344

  
\_\_\_\_\_  
Juan Carlos A. Marquez  
Registration Number 34,072

**REED SMITH LLP**  
3110 Fairview Park Drive  
Suite 1400  
Falls Church, Virginia 22042  
(703) 641-4200  
June 18, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    4 月 2 2 日  
Date of Application:

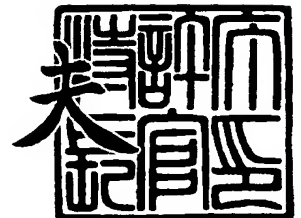
出 願 番 号                      特 願 2 0 0 3 - 1 1 6 7 8 9  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 1 6 7 8 9 ]

出      願      人                      株式会社ルネサステクノロジ  
Applicant(s):

2 0 0 4 年    4 月    9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 4 - 3 0 2 9 4 6 9

【書類名】 特許願  
【整理番号】 R03000011  
【あて先】 特許庁長官殿  
【国際特許分類】 H03F 3/21  
H04B 7/26

## 【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ  
ステクノロジ内

【氏名】 高橋 恭一

## 【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ  
ステクノロジ内

【氏名】 山田 伸治

## 【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ  
ステクノロジ内

【氏名】 丸山 昌志

## 【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

## 【代理人】

【識別番号】 100085811

## 【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

## 【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 高周波電力増幅用半導体集積回路および高周波電力増幅用電子部品並びに無線通信システム

【特許請求の範囲】

【請求項 1】 変調された高周波信号を増幅する電力増幅回路の信号を受け電力増幅回路の電流を検出する出力検出用トランジスタを有する電流検出回路と、該電流検出回路の検出電流を電圧に変換する電流－電圧変換回路と、該電流－電圧変換回路により変換された電圧と出力レベル指示信号とを比較してその差に応じた信号を出力する誤差増幅回路と、該誤差増幅回路の出力に基づいて前記電力増幅回路にバイアスを与えるバイアス生成回路が 1 つの半導体チップに形成されてなる高周波電力増幅用半導体集積回路であって、前記誤差増幅回路は、差動増幅回路と、該差動増幅回路の出力端子と反転入力端子との間に接続された第 1 抵抗素子および該第 1 抵抗素子と並列に接続された直列形態の第 2 抵抗素子および容量素子とを有することを特徴とする高周波電力増幅用半導体集積回路。

【請求項 2】 前記電流－電圧変換回路は、入力電流を 2 乗根した電流に変換する 2 乗根変換回路であることを特徴とする請求項 1 に記載の高周波電力増幅用半導体集積回路。

【請求項 3】 前記 2 乗根変換回路は、電界効果トランジスタからなり前記検出電流と基準電流を入力信号とし検出電流と基準電流の積を 2 乗根した電流を出力する回路であることを特徴とする請求項 2 に記載の高周波電力増幅用半導体集積回路。

【請求項 4】 前記誤差増幅回路の非反転入力端子にはアッテネータが設けられ、該アッテネータにより前記出力レベル指示信号を分圧した電圧が入力されるように構成されていることを特徴とする請求項 1 ～ 3 のいずれかに記載の高周波電力増幅用半導体集積回路。

【請求項 5】 前記バイアス生成回路は複数の抵抗素子からなる抵抗分圧回路であることを特徴とする請求項 1 ～ 4 のいずれかに記載の高周波電力増幅用半導体集積回路。

【請求項 6】 変調された高周波信号を増幅する電力増幅回路と、該電力増

幅回路の信号を受け電力増幅回路の電流を検出する出力検出用トランジスタを有する電流検出回路と、該電流検出回路の検出電流を電圧に変換する電流－電圧変換回路と、該電流－電圧変換回路により変換された電圧と出力レベル指示信号とを比較してその差に応じた信号を出力する誤差増幅回路と、該誤差増幅回路の出力に基づいて前記電力増幅回路にバイアスを与えるバイアス生成回路が1つの絶縁基板に搭載されてなる高周波電力増幅用電子部品であって、前記誤差増幅回路は、差動増幅回路と、該差動増幅回路の出力端子と反転入力端子との間に接続された第1抵抗素子および該第1抵抗素子と並列に接続された直列形態の第2抵抗素子および容量素子とを有することを特徴とする高周波電力増幅用電子部品。

【請求項7】 前記電力増幅回路は、複数の電力増幅用トランジスタが縦続接続されてなり、前記電流検出回路は最終段の電力増幅用トランジスタの入力信号を受けて出力電流に比例した電流を出力するように構成されている請求項6に記載の高周波電力増幅用電子部品。

【請求項8】 入力端子と初段の電力増幅用トランジスタとの間、各段の電力増幅用トランジスタ間および最終段の電力増幅用トランジスタと出力端子の間には、それぞれインピーダンス整合回路が設けられ、前記電力増幅用トランジスタおよび前記電流検出回路と電流－電圧変換回路と誤差増幅回路は1または2以上の半導体チップに形成され、前記インピーダンス整合回路は前記半導体チップが実装される絶縁基板に形成されている請求項7に記載の高周波電力増幅用電子部品。

【請求項9】 前記電流－電圧変換回路は、入力電流を2乗根した電流に変換する2乗根変換回路であることを特徴とする請求項6～8のいずれかに記載の高周波電力増幅用電子部品。

【請求項10】 前記誤差増幅回路の非反転入力端子にはアッテネータが設けられ、該アッテネータにより前記出力レベル指示信号を分圧した電圧が入力されるように構成されていることを特徴とする請求項6～9のいずれかに記載の高周波電力増幅用電子部品。

【請求項11】 請求項6～10のいずれかに記載の高周波電力増幅用電子部品と、送信信号と受信信号の切替えを行なう送受信切替え回路を備えた第2電

子部品と、送信する信号を変調して前記高周波電力増幅用電子部品へ入力する第 3 電子部品と、前記各電子部品に対する制御信号を生成し供給する制御用半導体集積回路とを有し、前記出力レベル指示信号は前記制御用半導体集積回路から前記高周波電力増幅用電子部品に供給されるように構成されていることを特徴とする無線通信システム。

【請求項 1 2】 前記高周波電力増幅用電子部品は第 1 周波数帯の信号を増幅する第 1 電力増幅回路と第 2 周波数帯の信号を増幅する第 2 電力増幅回路を備え、前記第 2 電子部品は第 1 周波数帯の信号と第 2 周波数帯の信号の切替えを行なう信号切替え手段を備え、前記第 3 電子部品は第 1 周波数帯の信号を変調する回路と第 2 周波数帯の信号を変調する回路を備え、少なくとも前記電流変換回路と前記電流－電圧変換手段と前記誤差増幅回路は前記第 1 電力増幅回路と第 2 電力増幅回路に対して共通の回路として設けられていることを特徴とする請求項 1 1 に記載の無線通信システム。

【請求項 1 3】 前記送受信切替え回路の状態を制御する切替え信号は前記制御用半導体集積回路から前記第 2 電子部品へ供給され、前記切替え信号に応じて前記高周波電力増幅用電子部品内の前記第 1 電力増幅回路と第 2 電力増幅回路の動作状態を制御する信号が前記制御用半導体集積回路から前記高周波電力増幅用電子部品に供給されるように構成されていることを特徴とする請求項 1 1 または 1 2 に記載の無線通信システム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、携帯電話機等の無線通信システムに使用され高周波信号を増幅して出力する高周波電力増幅回路およびそれを組み込んだ電子部品並びに無線通信システムに適用して有効な技術に関し、特に高周波電力増幅回路のフィードバック制御に必要な出力電力の検出を電流検出方式で行なう検出回路を有する無線通信システムにおいて制御ループの安定性および送信要求レベルの変化に対する応答性を向上させる技術に関する。

【0 0 0 2】



**【従来の技術】**

一般に、携帯電話機等の無線通信装置（移動体通信装置）における送信側出力部には、変調後の信号を増幅する高周波電力増幅回路が組み込まれている。従来の無線通信装置には、ベースバンド回路もしくはマイクロプロセッサ等の制御回路からの送信要求レベルに応じた出力電力となるように高周波電力増幅回路の増幅率を制御するため、高周波電力増幅回路の出力レベルを検出して、送信要求レベル（出力レベル指示信号）と検出信号とを比較して高周波電力増幅回路をフィードバック制御する出力制御信号  $V_{apc}$  を生成する自動パワー制御回路（APC回路）が設けられている（例えば、特許文献1参照）。出力レベルの検出は、従来は一般に、カプラや検波回路などを使用して行なっており、検波回路は高周波電力増幅回路とは別個の半導体集積回路として構成されることが多い。

**【0003】**

また、カプラは、ディスクリット部品もしくは絶縁基板（モジュール基板）に形成された出力線（マイクロストリップ線路）と並行に配設された導電体との間に形成される容量を介して出力レベルを検出する素子であり、半導体チップ上に形成される素子に比べてサイズが大きい。なお、カプラ（方向性結合器）については、例えば総合電子出版社、1997年7月10日発行「マイクロ波の基礎とその応用」P191～P193に記載されている。

**【0004】**

従来の高周波電力増幅回路の出力レベル検出方式は、高周波電力増幅回路とは別の半導体集積回路や電子部品を数多く使用しているため、モジュールの小型化を困難にする。さらに、カプラを使用する場合には、検出感度を向上させるためにカプラの一端に基準電圧を印加することが行なわれることがあ。その場合、基準電圧の最適設定および部品のばらつきに応じた電圧等の調整が必要になるため、セットメーカーの負担が大きくなるという不具合がある。また、カプラを使用すると、比較的大きな電力損失が生じるという不具合もある。

**【0005】**

そこで、本出願人は、高周波信号を増幅する電力増幅用トランジスタの入力信号を受け電力増幅用トランジスタに流れる電流に比例した電流を流す出力検出用

トランジスタおよび該トランジスタの電流を転写するカレントミラー回路とを設け、カレントミラー回路の転写先の電流を電圧に変換して出力レベルの検出信号とし、検出された出力レベルと送信要求レベルとを比較して出力レベルの制御を行なう電流検出方式の無線通信システムに関する発明をなし、出願を行なった（特願 2000-523757号）。

#### 【0006】

#### 【特許文献1】

特開 2000-151310号公報

#### 【0007】

#### 【発明が解決しようとする課題】

図12は、本出願人が開発した電流検出方式の出力レベル検出回路を有する高周波電力増幅回路のフィードバック制御系の概略構成を示したものである。図12において、10は高周波信号Pinを増幅する電力増幅回路、20は電力増幅回路10の出力レベルを検出しそれに応じた電流を出力する電流検出回路、40は電流検出回路20からの出力電流を電圧に変換する電流-電圧変換回路、50は電流-電圧変換回路40の出力電圧とベースバンド回路もしくはマイクロプロセッサ等の制御回路から供給される出力レベル指示信号V<sub>ramp</sub>とを比較する誤差アンプ（APC回路）で、この誤差アンプ50により入力電位差に応じたバイアス電圧が生成されて電力増幅回路10に供給され、電力増幅回路10のゲインを制御して出力電力を制御するように構成される。

#### 【0008】

本発明者等は、図12の電流検出方式の高周波電力増幅回路における出力レベル指示信号V<sub>ramp</sub>と出力電力P<sub>out</sub>との関係を調べた。その結果、図5（B）に破線A2で示すような関係になっており、送信要求レベルの低い領域における制御感度が高く、僅かな出力レベル指示信号V<sub>ramp</sub>の変化で出力電力P<sub>out</sub>が大きく変化することが明らかになった。

#### 【0009】

そこで本発明者等は、上記電流検出回路20にその出力が入力に対してn乗根関数的に変化するような特性を持たせる、具体的には図13のように電流検出回

路 20 と電流－電圧変換回路 40 との間に 2 乗根変換回路 30 を設けることにより、出力レベル指示信号  $V_{\text{ramp}}$  に対する出力電力  $P_{\text{out}}$  の変化が、図 5 (B) に実線 B2 で示すようにほぼリニアになるようにして、送信要求レベルの低い領域における制御感度を向上させる技術を開発した。

#### 【0010】

ところで、本発明者等は、図 12 や図 13 の電流検出方式の高周波電力増幅回路は、従来のカプラを使用した出力レベル検出方式に比べて、回路内部に信号の位相を回す要因となる箇所が多いことに気が付き、図 12 や図 13 の電流検出方式の高周波電力増幅回路における制御ループの安定性について検討を行なった。

#### 【0011】

その結果、図 12 や図 13 の電流検出方式の高周波電力増幅回路は、誤差アンプ 50 から電力増幅回路 10、電流検出回路 20、(2 乗根変換回路 30)、電流－電圧変換回路 40 を通って誤差アンプ 50 に戻る閉ループに関しては比較的位相余裕があり問題はない。しかし、誤差アンプ 50 の非反転入力端子に入力される出力レベル指示信号  $V_{\text{ramp}}$  が変化しそれに応じて電力増幅回路 10 の利得が変化してその変化が電流検出回路 20、(2 乗根変換回路 30)、電流－電圧変換回路 40 を通って誤差アンプ 50 の反転入力端子に戻る開ループに関しては、位相余裕が  $45^\circ$  以下と非常に小さいことを見出した。

#### 【0012】

開ループの位相余裕が小さいと、例えば図 4 (A) のように出力レベル指示信号  $V_{\text{ramp}}$  が急に変化したときに、図 4 (B) のように誤差アンプ 50 の反転入力端子へフィードバックされる検出信号  $V_{\text{sns}}$  がリングングを起こし、 $V_{\text{ramp}}$  の変化に対する応答性が良好でないという課題があることを新たに見出した。しかも、かかる開ループの位相余裕が小さいことによる応答性の低下は、図 12 の電流検出方式の高周波電力増幅回路よりも、2 乗根変換回路 30 を有する図 13 の電流検出方式の高周波電力増幅回路において顕著に現れることも明らかになった。

#### 【0013】

本発明の目的は、高周波電力増幅回路の出力電力のフィードバック制御に必要な出力レベルの検出を電流検出方式で行なう無線通信システムにおいて、制御ル

ープの安定性および送信要求レベルの変化に対する応答性を向上させることができる高周波電力増幅回路およびそれを組み込んだ電子部品並びに無線通信システムを提供することにある。

#### 【0014】

さらに、本発明の他の目的は、高周波電力増幅回路の出力電力のフィードバック制御に必要な出力レベルの検出を電流検出方式で行なう無線通信システムにおいて、送信要求レベルの低い領域における制御感度を下げ、制御範囲全体に亘って精度良く出力レベルを制御することができるとともに、制御ループの安定性および送信要求レベルの変化に対する応答性を向上させることができる高周波電力増幅回路およびそれを組み込んだ電子部品並びに無線通信システムを提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

#### 【0015】

##### 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、高周波電力増幅回路の出力電力のフィードバック制御に必要な出力レベルの検出を電流検出方式で行ない、出力レベルの検出信号と出力レベル指示信号とを比較してその差に応じて高周波電力増幅回路の利得を制御する信号を生成する誤差アンプを有する高周波電力増幅用電子部品において、前記誤差アンプとして、差動増幅回路の出力端子と反転入力端子との間に、抵抗素子と該抵抗素子と並列に接続された直列の抵抗素子及び容量素子とからなる位相補償回路を設けた低域濾波型増幅回路を用いるようにしたものである。

#### 【0016】

上記した手段によれば、出力レベル指示信号が入力される誤差アンプの制御側入力端子（非反転入力端子）から高周波電力増幅回路，電流検出回路，電流－電圧変換回路を通して誤差アンプのフィードバック側入力端子（反転入力端子）に戻る開ループの位相余裕が大きくなるため、出力レベル指示信号の変化に対する

応答性を向上させることができる。また、このとき同時に、開ループの安定性も向上させることができる。

#### 【0017】

さらに、望ましくは、前記電流検出回路と電流－電圧変換回路との間に2乗根変換回路を設けるようにする。2乗根変換回路を設けることにより、送信要求レベルの低い領域における出力レベル指示信号に対する高周波電力増幅回路の制御感度が下がり、制御範囲全体に亘って精度良く出力レベルを制御することができるようになる。また、2乗根変換回路を設けることにより開ループの位相の回りが大きくなり、そのままでは送信要求レベルの変化に対する応答性が劣化するが、前記位相補償回路を設けることにより開ループの位相余裕が大きくされるため、出力レベル指示信号の変化に対するループの応答性を向上させることができる。

#### 【0018】

##### 【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

図1は、本発明を適用した電流検出方式の高周波電力増幅回路のフィードバック制御系の第1の実施例の概略構成を示したものである。

図1において、10は高周波信号 $P_{in}$ を増幅する電力増幅回路（パワーアンプ）、20は電力増幅回路10の出力レベルを検出しそれに応じた電流を出力する電流検出回路、30は電流検出回路20から出力される電流 $I_{sns}$ の2乗根（平方根）をとった電流 $I_{sout}$ に変換する2乗根変換回路、40は2乗根変換回路30からの出力電流 $I_{sout}$ を検出電圧 $V_{sns}$ に変換する電流－電圧変換回路、50は電流－電圧変換回路40の出力電圧と図示しないベースバンド回路もしくはマイクロプロセッサ等の制御回路から供給される出力レベル指示信号 $V_{ramp}$ とを比較しそれらの電位差に応じた電圧を出力する誤差電圧検出回路（誤差アンプ）である。

#### 【0019】

この誤差アンプ50の出力電圧がバイアス電圧 $V_{apc}$ として電力増幅回路10に供給され、電力増幅回路10のゲインが制御される。図1には示されていない

が、後述のように電力増幅回路 10 は各々 MOSFET (絶縁ゲート型電界効果トランジスタ) やバイポーラトランジスタのような増幅素子が複数段接続されており、それらの制御端子 (ゲート端子またはベース端子) に誤差アンプ 50 からのバイアス電圧  $V_{apc}$  を直接もしくは適当な抵抗比で分割した電圧を印加して電力増幅回路 10 のゲインを制御して、出力電力を調整するように構成される (図 9 参照)。

#### 【0020】

本実施例においては、誤差アンプ 50 として、差動増幅回路 51 の出力端子と反転入力端子との間に抵抗素子  $R_1$  と該抵抗素子  $R_1$  と並列に接続された直列の抵抗素子  $R_2$  及び容量素子  $C_1$  からなる位相補償回路 52 を設けた低域濾波型増幅回路が用いられている。位相補償回路 52 は、図 1 に示されているような回路に限定されず、抵抗素子  $R_2$  と容量素子  $C_1$  を逆に接続したもの、あるいは抵抗素子  $R_2$  を 2 つに分割して容量素子  $C_1$  の両側に接続したもの等であっても良い。

#### 【0021】

位相補償回路 52 を構成する抵抗素子  $R_1$ ,  $R_2$  と容量素子  $C_1$  は、誤差アンプ 50 から電力増幅回路 10, 電流検出回路 20, 2 乗根変換回路 30, 電流-電圧変換回路 40 を通って誤差アンプ 50 に戻る閉ループが、50~70 kHz の近傍に 1 次のポールを有し、1 MHz の近傍に 2 次のポールを有するように各素子の定数が設定される。また、容量素子  $C_1$  と直列に抵抗素子  $R_2$  を設けることにより、制御ループの周波数特性に零点を持たせることができ、この零点の角周波数を電力増幅回路 10 の極の各周波数よりやや低めに設定することでループの位相余裕を大きくする。具体的には、抵抗素子  $R_1$  の抵抗値は 40~60 k $\Omega$ 、 $R_2$  は 2~5 k $\Omega$ 、容量素子  $C_1$  は 50~100 pF のような容量値にされる。

#### 【0022】

差動増幅回路 51 としては、例えば図 3 に示すような差動増幅回路が用いられるが、これに限定されるものではない。図 3 の差動増幅回路は、ドレインが接地された P チャネル MOS トランジスタ  $Q_1$ ,  $Q_2$  およびこれらと直列に接続され

た定電流源  $C I 1$ 、 $C I 2$  からなる入力段と、 $Q 1$ 、 $Q 2$  のソース電位がゲートに印加され互いにソース共通接続された N チャンネル MOS トランジスタ  $Q 3$ 、 $Q 4$  およびソース側の定電流源  $C I 3$  とドレイン側のアクティブ負荷 MOS トランジスタ  $Q 5$ 、 $Q 6$  からなる差動増幅段と、 $Q 3$  のドレインにゲートが接続されたソースフォロワ型の出力トランジスタ  $Q 7$  および抵抗  $R 7$  からなる出力段と、出力トランジスタ  $Q 7$  のゲートとドレインとの間に直列接続された抵抗  $R 0$  および容量  $C 0$  からなる位相補償回路とにより構成されている。

#### 【0023】

この位相補償回路は差動増幅回路 5 1 それ自身の発振を防止するための回路であり、抵抗  $R 0$  および容量  $C 0$  は、フィードバック制御ループの開ループおよび閉ループの位相余裕を大きくするために設けられる前記位相補償回路 5 2 の抵抗  $R 1$ 、 $R 2$  及び容量  $C 1$  とは別の素子である。

#### 【0024】

図 2 は、本発明を適用した電流検出方式の高周波電力増幅回路のフィードバック制御系の第 2 の実施例の概略構成を示す。図 1 の実施例との差異は、誤差アンプ 5 0 の非反転入力端子側にアッテネータ（減衰手段）5 3 が設けられている点にある。アッテネータ 5 3 を設けることにより、出力レベル指示信号  $V_{ramp}$  から見た制御系のゲインを下げるができる。

#### 【0025】

この実施例のアッテネータ 5 3 は、出力レベル指示信号  $V_{ramp}$  が入力される制御端子 7 1 と誤差アンプ 5 0 の非反転入力端子との間に設けられた抵抗素子  $R 4$  と、この抵抗素子  $R 4$  の制御端子 7 1 と反対側のノードと接地点との間に設けられた抵抗素子  $R 5$  とからなる。従って、この実施例のアッテネータ 5 3 は、抵抗分圧回路とみなすこともできる。アッテネータ 5 3 として、抵抗素子  $R 4$ 、 $R 5$  の他にさらにこれらと同様な抵抗素子を付加したいわゆる  $\pi$  型アッテネータを用いるようにしても良い。

#### 【0026】

実施例のアッテネータ 5 3 を構成する抵抗素子  $R 4$  と  $R 5$  は、同一抵抗値で例えば  $43 \Omega$  のような  $100 \Omega$  以下の値とされる。また、誤差アンプ 5 0 のフィー

ドバック側の反転入力端子の入力抵抗 $R_3$ は、特に制限されるものでないが、 $10\text{ k}\Omega$ 程度の抵抗値を有するようにされる。

#### 【0027】

図5 (A) には、第1および第2の実施例における出力電圧 $V_{out}$ と電流－電圧変換回路40の出力電圧（検出電圧） $V_{sns}$ との関係が実線B1で示されている。また、図5 (B) には、第1および第2の実施例の制御系における出力レベル指示信号 $V_{ramp}$ と出力電力 $P_{out}$ との関係が実線B2で示されている。

#### 【0028】

また、図5 (A) および (B) において、破線A1, A2で示されているのは、第1の実施例の2乗根変換回路30を設けない図12に示されている制御系における出力電圧 $V_{out}$ と電流－電圧変換回路40の出力電圧 $V_{sns}$ との関係と、出力レベル指示信号 $V_{ramp}$ と出力電力 $P_{out}$ との関係である。

#### 【0029】

2乗根変換回路30を設けたことにより、図5 (A) から分かるように、出力電力 $P_{out}$ のレベルが低い領域では出力レベル $V_{out}$ に対する電流－電圧変換回路40の出力電圧 $V_{sns}$ の変化の度合いが大きくなる。これにより、送信要求レベルの低い領域において出力レベル指示信号 $V_{ramp}$ に対する出力電力 $P_{out}$ の変化の度合いが大きくても、送信要求レベルの低い領域における出力レベル指示信号に対する高周波電力増幅回路10の制御感度が下がり、制御範囲全体に亘って精度良く高周波電力増幅回路10の出力電力を制御することができるようになる。

#### 【0030】

図6 (A) には、第1の実施例の制御系における出力レベル指示信号 $V_{ramp}$ に対する電流－電圧変換回路40の出力電圧（検出電圧） $V_{sns}$ のゲインの周波数特性が実線B1で示されている。また、図6 (B) には、第1の実施例の制御系における開ループの位相の周波数特性が実線B2で示されている。なお、これらの周波数特性は、誤差アンプ50の位相補償回路52の抵抗素子 $R_1$ を $10\text{ k}\Omega$ 、 $R_2$ を $47\text{ k}\Omega$ 、 $R_3$ を $2\text{ k}\Omega$ 、容量 $C_1$ を $82\text{ pF}$ としたときのものである。



## 【0031】

図6 (A) および (B) において、破線 A 1, A 2 で示されているのは、図 1 2 に示されている制御系において、誤差アンプ 5 0 の位相補償回路として容量 C 1 と抵抗素子 R 1 のみからなる回路を使用した場合における  $V_{ramp}$  に対する  $V_{sns}$  のゲインの周波数特性と、開ループの位相の周波数特性である。図 6 (A) において、破線 A 1 が 0 dB を横切るときの周波数  $f_0$  は 1.38 MHz、実線 B 1 が 0 dB を横切るときの周波数  $f_0$  は 1.53 MHz である。

## 【0032】

シミュレーションによると、このときの図 1 2 の制御系における位相余裕（ゲインが 0 dB のときの位相遅れ角と  $-180^\circ$  との差）は約  $25^\circ$  であった。一方、位相補償回路 5 2 として、容量 C 1 と抵抗素子 R 1 の他に容量 C 1 と直列の抵抗素子 R 2 を設けた回路を使用する実施例の制御系における位相余裕は約  $46^\circ$  であった。

## 【0033】

一般に、ループの位相余裕が  $45^\circ$  以下であると発振安定性が確保できないといわれているが、第 1 実施例を適用することにより、2 乗根変換回路 3 0 を使用した図 1 の高周波電力増幅回路のフィードバック制御系における開ループの位相余裕が改善され、発振安定性を確保することができる。その結果、図 4 (A) のように出力レベル指示信号  $V_{ramp}$  が急に変化したとしても、図 4 (C) に示すように、誤差アンプ 5 0 の反転入力端子へフィードバックされる検出信号  $V_{sns}$  がリングングを起こすことがなく、出力レベル指示信号  $V_{ramp}$  に対するループの応答性が向上されるようになる。

## 【0034】

図 7 (A) には、図 2 に示されている第 2 の実施例の制御系における出力レベル指示信号  $V_{ramp}$  に対する電流-電圧変換回路 4 0 の出力電圧（検出電圧） $V_{sns}$  のゲインの周波数特性が一点鎖線 C 1 で示されている。また、図 7 (B) には、第 2 の実施例の制御系における開ループの位相の周波数特性が一点鎖線 C 2 で示されている。なお、これらの周波数特性は、誤差アンプ 5 0 の位相補償回路 5 2 の抵抗 R 1 を 10 k $\Omega$ 、R 2 を 47 k $\Omega$ 、R 3 を 2 k $\Omega$ 、容量 C 1 を 82 pF

、アッテネータ 53 の抵抗 R4 および R5 を  $43\text{ k}\Omega$  としたときのものである。

#### 【0035】

図 7 (A) および (B) において、実線 B1, B2 で示されているのは、図 1 に示されている第 1 の実施例の制御系における  $V_{\text{ramp}}$  に対する  $V_{\text{sns}}$  のゲインの周波数特性と、開ループの位相の周波数特性であり、図 6 に実線で示されているのと同じ特性である。図 7 (A) において、実線 C1 が  $0\text{ dB}$  を横切るときの周波数  $f_0$  は  $1.16\text{ MHz}$  である。なお、実線 B1 が  $0\text{ dB}$  を横切るときの周波数  $f_0$  は、前述したように  $1.53\text{ MHz}$  である。

#### 【0036】

シミュレーションによると、誤差アンプ 50 の非反転入力端子側にアッテネータ 53 を設けた第 2 の実施例の制御系における開ループの位相余裕は約  $66^\circ$  であった。第 1 実施例の高周波電力増幅回路のフィードバック制御系における開ループの位相余裕は、前述したように  $46^\circ$  であるので、アッテネータ 53 を設けることにより発振安定性をさらに良好にし、出力レベル指示信号  $V_{\text{ramp}}$  に対するループの応答性を一層向上させることができる。

#### 【0037】

図 8 (A) には、図 2 に示されている第 2 の実施例の制御系における誤差アンプ 50 から電力増幅回路 10, 電流検出回路 20, 2 乗根変換回路 30, 電流－電圧変換回路 40 を通って誤差アンプ 50 に戻る閉ループのゲインの周波数特性が実線 C1 で示されている。また、図 8 (B) には、第 2 の実施例の制御系における閉ループの位相の周波数特性が実線 C2 で示されている。なお、これらの周波数特性は、誤差アンプ 50 の位相補償回路 52 の抵抗 R1 を  $10\text{ k}\Omega$ 、R2 を  $47\text{ k}\Omega$ 、R3 を  $2\text{ k}\Omega$ 、容量 C1 を  $82\text{ pF}$  としたときのものである。

#### 【0038】

図 8 (A) および (B) において、破線 A1, A2 で示されているのは、図 12 に示されている制御系であって誤差アンプ 50 の位相補償回路 52 として容量 C1 と抵抗 R1 のみからなる回路を使用した場合における  $V_{\text{ramp}}$  に対する  $V_{\text{sns}}$  のゲインの周波数特性と、閉ループの位相の周波数特性である。同図より、第 2 の実施例の制御系における閉ループの位相余裕は  $65^\circ$  あり、閉ループの発振安

定性は充分にあることが分かる。

#### 【0039】

図9は、図2の実施例のより具体的な回路構成例を示す。図9において、10は入力高周波信号Pinを増幅して出力する高周波増幅回路部で、この高周波増幅回路10は縦続接続された3段の増幅段により構成されている。

具体的には、入力された高周波信号Pinはインピーダンス整合回路MN1および抵抗R11を介して1段目の増幅段を構成する電力増幅用トランジスタTR1のゲート端子に供給され、TR1により増幅された信号はTR1のドレイン端子からインピーダンス整合回路MN2および抵抗R12を介して2段目の増幅段を構成する電力増幅用トランジスタTR2のゲート端子に供給される。

#### 【0040】

さらに、トランジスタTR2により増幅された信号はTR2のドレイン端子からインピーダンス整合回路MN3を介して3段目の増幅段を構成する電力増幅用トランジスタTR3のゲート端子に供給され、TR3により増幅された信号はTR2のドレイン端子からインピーダンス整合回路MN4を介して出力されるように構成されている。

#### 【0041】

なお、入力端子とインピーダンス整合回路MN1との間および各増幅段の間、インピーダンス整合回路MN4と出力端子との間には直流成分をカットする容量素子CDC1, CDC2, CDC3, CDC4が設けられている。インピーダンス整合回路MN1～MN4はそれぞれ容量CP1～CP6と伝送線路TL1～TL7とで構成されている。

#### 【0042】

上記各増幅段の電力増幅用トランジスタTR1～TR3は、この実施例ではMOSFETが使用されているが、バイポーラ・トランジスタやGaAsMESFET、ヘテロ接合バイポーラ・トランジスタ(HBT)、HEMT(High Electron Mobility Transistor) 等他のトランジスタを用いても良い。

#### 【0043】

電流検出回路20は、抵抗R13を介して高周波増幅回路10の最終増幅段の

電力増幅用トランジスタTR3の入力信号と同一の信号がゲート端子に印加された出力検出用トランジスタTR4と、抵抗R14を介してトランジスタTR4と直列に接続されたカレントミラー用トランジスタTR5と、該トランジスタTR5とカレントミラー接続されたトランジスタTR6とにより構成され、トランジスタTR3とTR4のサイズ比 $n$ を適当（例えば $n=10$ ）に設定することにより、トランジスタTR4にTR3のコレクタ電流の $1/n$ の電流が流れるようにされる。そして、トランジスタTR4の電流がカレントミラー回路によりトランジスタTR6に転写されることによって該トランジスタTR6に流されるドレイン電流は電力増幅用トランジスタTR3の出力電力と相関のある電流 $I_{\text{sns}}$ となるようにされている。なお、カレントミラー用トランジスタTR5とTR6のサイズ比は例えば1:1とされる。

#### 【0044】

この電流 $I_{\text{sns}}$ が $n$ 乗根変換回路30によって変換されて、変換された電流 $I_{\text{sout}}$ が電流-電圧変換手段としての抵抗R16に流されることによって出力レベルに応じた検出電圧 $V_{\text{sns}}$ に変換される。この検出電圧 $V_{\text{sns}}$ が誤差アンプ50に供給されてベースバンド回路などから供給される出力レベル指示信号 $V_{\text{ramp}}$ と比較され、 $V_{\text{sns}}$ と $V_{\text{ramp}}$ の差に応じた電圧 $V_{\text{apc}}$ が誤差アンプ50から出力され、 $V_{\text{apc}}$ が抵抗RP1～RP4で分割されて前記電力増幅用トランジスタTR1, TR2のゲート端子にバイアス電圧として印加されて出力電力の制御が行なれるように構成されている。

#### 【0045】

また、最終段の電力増幅用トランジスタTR3のゲートバイアスは、上記分割抵抗RP3とRP4の接続ノードの電位が、抵抗R15を介してインピーダンス整合回路MN3の内部ノードに伝達されることにより、間接的に与えられるように構成されている。抵抗RP3とRP4で分割された電圧を、抵抗R15を介して直接最終段の電力増幅用トランジスタTR3のゲートに与えるように構成しても良い。

#### 【0046】

さらに、本実施例においては、図9に示されている回路のうち符号IC1, I

C2が付された一点鎖破線で囲まれた回路および素子は、それぞれが別個の半導体チップ上に形成されていることを意味している。具体的には、最終段の電力増幅用トランジスタTR3と電流検出用のトランジスタTR4が、抵抗R13と共に1つの半導体チップ上に形成されて第1の半導体集積回路IC1を構成している。

#### 【0047】

また、1段目と2段目の電力増幅用トランジスタTR1、TR2が、電流検出回路20（トランジスタTR4を除く）、2乗根変換回路30、電流-電圧変換回路40、誤差アンプ50と共に1つの半導体チップ上に形成されて第2の半導体集積回路IC2を構成している。誤差アンプ50を構成する抵抗R2および容量C1やアッテネータ53を構成する抵抗R5は、第2の半導体集積回路IC2の外付け素子として接続され、使用されるシステムに応じて周波数特性を調整できるようにされている。

#### 【0048】

図9に示されている回路は、上記半導体チップIC1、IC2と抵抗R2、R5や容量C1などのディスクリート部品が1つの絶縁基板に実装されて全体がモジュールとして構成される。なお、本明細書においては、表面や内部にプリント配線が施されたセラミック基板のような絶縁基板に複数の半導体チップとディスクリート部品が実装されて上記プリント配線やボンディングワイヤで各部品が所定の役割を果たすように結合されることであたかも一つの電子部品として扱えるように構成されたものをモジュールと称する。

#### 【0049】

なお、かかるモジュールにおいて、インピーダンス整合回路MN1～MN4を構成する伝送線路TL1～TL7は、絶縁基板の表面に形成されたマイクロストリップラインと呼ばれる導電体層により形成することができる。また、インピーダンス整合回路MN1～MN4を構成する容量CP1～CP6は、絶縁基板が複数の誘電体層が積層された構造とされる場合、いずれかの誘電体層の表面と裏面にそれぞれ形成された導電体層との間に形成される容量を利用して構成することができる。

## 【0050】

図10は2乗根変換回路30の具体的な回路の例を示す。

この実施例の2乗根回路は、前記電流検出回路20から出力される検出電流  $I_{\text{sns}}$  を比例縮小するNチャネルMOSFETからなる第1カレントミラー回路31と、該第1カレントミラー回路31の転写先の電流をさらに比例縮小するNチャネルMOSFETからなる第2カレントミラー回路32と、定電流源38からの基準電流  $I_{\text{ref}}$  を比例縮小するPチャネルMOSFETからなる第3カレントミラー回路33と、該第3カレントミラー回路33の転写先の電流をさらに比例縮小するPチャネルMOSFETからなる第2カレントミラー回路34と、これらのカレントミラー回路により生成された電流を用いて検出電流  $I_{\text{sns}}$  の2乗根に相当する項を含む電流を生成する演算回路35と、該演算回路35を構成するMOSFET M4と直列に接続されM4と同一の電流が流されるMOSFET M5およびM5とカレントミラー接続されたMOSFET M6およびM6と直列に接続されたMOSFET M7からなりMOSFET M7のゲートにM4のドレイン電圧が印加されることにより演算回路35を構成するMOSFET M2とM4の動作点を与えるバイアス回路36と、前記カレントミラー回路32, 34により生成された電流を用いて演算回路35で生成された2乗根に相当する項を含む電流から2乗根の項以外の余分な項に相当する電流を減算して検出電流  $I_{\text{sns}}$  の2乗根に比例した電流を出力する電流合成回路37とから構成されている。

## 【0051】

各カレントミラー回路31～34はそれぞれ互いゲート共通接続された対をなすMOSFETのサイズ比（ゲート幅の比）を所定の値に設定することにより比例縮小された電流を生成する。具体的には、第1カレントミラー回路31は1/10に、第2カレントミラー回路32は1/3と1/12に、第3カレントミラー回路33は1/8に、そして第4カレントミラー回路34は1/4と1/16に、それぞれ縮小された電流を生成するように対をなすMOSFETのサイズ比（ゲート幅の比）が所定の値に設定されている。

## 【0052】

2乗根回路30に入力される検出電流  $I_{sns}$  の  $1/30$  の電流を  $I_s$ 、定電流源38からの基準電流  $I_{ref}$  の  $1/32$  の電流を  $I_r$  と置くと、第1カレントミラー回路31と第3カレントミラー回路33の転写先に流される電流はそれぞれ  $3I_s$ 、 $4I_r$  となり、第2カレントミラー回路32と第4カレントミラー回路34の転写先から演算回路35に流される電流はそれぞれ  $I_s$ 、 $I_r$  となる。

#### 【0053】

演算回路35は、第2カレントミラー回路32から供給される電流  $I_s$  がドレイン・ソース間に流されるMOSFET M2と、該MOSFET M2のドレイン電圧がゲート端子に印加され、第4カレントミラー回路34から供給される電流  $I_r$  がドレイン・ソース間に流されるMOSFET M3と、同じくMOSFET M2のドレイン電圧がゲート端子に印加され電流合成回路37の転写元の電流を流すMOSFET M3と、該MOSFET M3のソース側にM3と直列に接続されたMOSFET M1とから構成されている。MOSFET M1はゲートとドレインが結合されてダイオードとして作用するようにされている。また、MOSFET M1～M4は、互いにサイズ（ゲート幅Wとゲート長L）が同一になるように設計され、同一工程で同時に製造されることにより同一のしきい値電圧  $V_{th}$  を有するようにされるとともに、MOSFET M1～M4は飽和領域で動作するように電源電圧  $V_{dd2}$  が設定されている。

#### 【0054】

ここで、MOSFET M1, M2, M3, M4のゲート・ソース間電圧を  $V_{GS1}$ ,  $V_{GS2}$ ,  $V_{GS3}$ ,  $V_{GS4}$ 、ドレイン・ソース間電圧を  $V_{DS1}$ ,  $V_{DS2}$ ,  $V_{DS3}$ ,  $V_{DS4}$  で表わし、演算回路35のノードN1に着目すると、ノードN1の電位  $V_{n1}$  はMOSFET M1, M3の側からは  $V_{n1} = V_{GS1} + V_{GS3}$  で決まり、MOSFET M2, M4の側からは  $V_{n1} = V_{GS2} + V_{GS4}$  で決まり、両電位は等しいことから、 $V_{GS1} + V_{GS3} = V_{GS2} + V_{GS4}$  となる。

#### 【0055】

MOSFET M1とM3は直列接続されているので流れる電流は等しく（図では  $I_{out}$ ）、MOSFET M2にはカレントミラー回路32から電流  $I_s$  が、またMOSFET M4にはカレントミラー回路34から電流  $I_r$  が流される

ことから、上記等式は、MOSFETの飽和領域でのドレイン電流特性を表わす式より、次式(1)のように表わすことができる。

【0056】

$$\begin{aligned} & 2[V_{th} + \sqrt{\{(2/\beta) \cdot (L/W) / (1 + \lambda \cdot V_{DS})\} \cdot \sqrt{I_{out}}}] \\ & = V_{th} + \sqrt{\{(2/\beta) \cdot (L/W) / (1 + \lambda \cdot V_{DS})\} \cdot \sqrt{I_s}} \\ & \quad + V_{th} + \sqrt{\{(2/\beta) \cdot (L/W) / (1 + \lambda \cdot V_{DS})\} \cdot \sqrt{I_r}} \quad \cdots \cdots (1) \end{aligned}$$

上式において、各MOSFET M1~M4の素子サイズL/Wは等しく、またMOSFETの素子特性から $\lambda \cdot V_{DS}$ は「1」対して無視できるほど小さいので、次式

$$\sqrt{I_{out}} = (\sqrt{I_s} + \sqrt{I_r}) / 2 \quad \cdots \cdots (2)$$

のように整理することができる。そして、この式を変形すると、

$$I_{out} = (I_s + I_r) / 4 + \sqrt{(I_s \cdot I_r) / 2} \quad \cdots \cdots (3)$$

となり、 $(I_s + I_r) / 4$ なる余分な項は含まれるが、MOSFET M3に流れる電流 $I_{out}$ は検出電流 $I_s$ の2乗根で表わされることが分かる。

【0057】

さらに、図10の実施例の回路においては、互いにゲート共通接続されたカレントミラーMOSFET M8, M9からなる電流合成回路37が設けられており、この回路はカレントミラーの転写元のMOSFET M8に流れる電流に、第2カレントミラー回路32から供給される $I_s / 4$ の電流と第4カレントミラー回路34から供給される $I_r / 4$ の電流を足し込んだものを $I_{out}$ として出力するように構成されている。また、MOSFET M8とM9はサイズ比が1:10になるように設計されている。これにより、MOSFET M8とカレントミラー接続されたMOSFET M9には、 $I_{out}$ よりも $(I_s + I_r) / 4$ だけ少ない電流の10倍の大きさの電流が流れるようにされる。

【0058】

ここで、電流合成回路37により足し込まれる電流 $(I_s + I_r) / 4$ は、上記式(3)の第1項に相当することが分かる。従って、MOSFET M9に流れる電流は上記式(3)の第2項の10倍すなわち $10 \cdot \sqrt{(I_s \cdot I_r) / 2} = 5 \cdot \sqrt{(I_s \cdot I_r)}$ となる。図10の実施例の回路ではこの電流が出力されるよ



うになっている。従って、この回路の出力電流は  $I_s$  の 2 乗根に比例した電流となる。

#### 【0059】

一方、前述したように、電流  $I_s$  は電流検出回路 20 の検出電流  $I_{sns}$  の  $1/30$  である。よって、図 10 の回路の出力電流は、電流検出回路 20 の検出電流  $I_{sns}$  の 2 乗根に比例した電流となる。そして、この電流は電流-電圧変換回路 40 の抵抗  $R_{16}$  に流されて電圧に変換され、この変換された電圧がバッファ 41 によりインピーダンス変換されて誤差アンプ 50 に供給される。

#### 【0060】

この実施例の 2 乗根回路は、式 (3) に温度係数が含まれておらず出力電流には温度依存性がないため、基準電流  $I_{ref}$  が一定であれば周囲温度が変化しても動作特性は一定であり安定性の高い変換が可能である。温度が変化しても電流が一定である定電流源としては、正の温度特性を有する素子と負の温度特性を有する素子を組み合わせることで温度補償をした定電流回路が知られているので、そのような温度依存性のない定電流回路を電流源 38 として利用することで、容易に本実施例の 2 乗根回路に適した基準電流  $I_{ref}$  を生成して与えることができる。

#### 【0061】

なお、図 10 の実施例回路においては、第 1 カレントミラー回路 31 と第 3 カレントミラー回路 33 は各々カレントミラー接続された MOSFET 対が 2 段縦積みになされた回路が用いられているが、これは生成される電流の電源電圧依存性を下げるためであり、2 乗根回路 30 の動作電圧  $V_{dd2}$  として安定性の高い電圧が供給される場合にはそれぞれ P-MOS 側のカレントミラー回路 32, 34 と同様な 1 段のカレントミラー回路とすることができる。

#### 【0062】

また、図 10 の実施例においては、出力電流から  $\sqrt{(I_s \cdot I_r)}$  の項以外の余分な電流  $(I_s + I_r)/4$  の項をなくすため、カレントミラー回路 37 の MOSFET M8 から出力される電流にカレントミラー回路 32 と 34 からの電流  $I_s/4$  と  $I_r/4$  を加えたものを演算回路 35 の電流  $I_{out}$  として流し込んでい

るが、カレントミラー回路 31 と 32 を構成する MOSFET とカレントミラー接続されて比例縮小した電流を流す MOSFET を設けて、MOSFET M8 から出力される電流に電流  $I_s/4$  と  $I_r/4$  を足し込む代わりに、MOSFET M9 から出力される電流から電流  $I_s/4$  と  $I_r/4$  を差し引いた電流を抵抗 R16 に流すように構成しても良い。

#### 【0063】

次に、図 11 は、本発明を適用した無線通信システムの一例としての 900 MHz 帯の周波数を使用する GSM (Global System for Mobile Communication) と 1800 MHz 帯の周波数を使用する DCS (Digital Cellular System) の 2 つの通信方式の無線通信が可能なデュアルバンド方式の通信システムの概略の構成を示す。

#### 【0064】

図 11 の無線通信システムは、GSM や DCS のシステムにおける GMSK 変調や復調を行なうことができる変復調回路を有する半導体集積回路化された高周波信号処理回路 (高周波 IC) 110 や受信信号から不要波を除去する弾性表面波フィルタからなるバンドパスフィルタ SAW と受信信号を増幅するロウノイズアンプ LNA などが 1 つのセラミック基板上に実装されてなる高周波モジュール (以下、RF モジュールと称する) 100 と、負荷としてのアンテナ ANT を駆動して送信を行なう高周波電力増幅回路 (パワーアンプ) 10 や出力電力制御回路 230 などを含む高周波電力増幅用モジュール (以下、パワーモジュールと称する) 200 と、ベースバンド回路 300 と、フロントエンド・モジュール 400 と、システム全体を制御する制御装置としてのマイクロプロセッサ (CPU) 500 とから構成されている。

#### 【0065】

ベースバンド回路 300 は、送信データ (ベースバンド信号) に基づいて I, Q 信号を生成したり受信信号から抽出された I, Q 信号を処理したりするベースバンド処理機能を有し、半導体集積回路として構成されている。以下、これをベースバンド IC と称する。フロントエンド・モジュール 400 は RF パワーモジュール 200 から出力される送信信号に含まれる高調波などのノイズを除去する

フィルタLPFや送受信切替えスイッチ420a, 420b、分波器430などを有する。マイクロプロセッサ(CPU)500は、上記高周波IC110やベースバンドIC300に対する制御信号を生成したりパワーモジュール200に対する出力レベル指示信号Vrampを生成したりする。

#### 【0066】

図9の電流検出回路20と2乗根変換回路30(もしくは対数変換回路)と電流-電圧変換回路40と誤差アンプ50は、図11では出力電力制御回路230として1つのブロックで表わされている。

#### 【0067】

図11に示されているように、この実施例の無線通信システムでは、パワーモジュール200内にGSMの周波数帯である900MHzの送信信号を増幅するパワーアンプ210aと、DCSの周波数帯である1800MHzの送信信号を増幅するパワーアンプ210bとが設けられている。同様に、RFモジュール100内にGSM用のSAWフィルタ120aおよびロウノイズアンプ130aと、DCS用のSAWフィルタ120bおよびロウノイズアンプ130bとが設けられている。

#### 【0068】

高周波IC110においては送信したい情報に従って搬送波を位相変調するGMSK変調が行なわれ、位相変調された信号が高周波信号Pinとしてパワーモジュール200に入力され増幅される。特に制限されるものでないが、この実施例では高周波IC110は、送信用の変調回路の他に、受信信号を低い周波数の信号にダウンコンバートするミキサ、高ゲインのプログラマブル・ゲインアンプなどからなる受信系回路も含んで構成されている。ロウノイズアンプLNAは、高周波IC110に内蔵させることも可能である。

#### 【0069】

フロントエンド・モジュール400には、GSM用のロウパスフィルタ410aとDCS用のロウパスフィルタ410bおよびGSMの送信/受信を切り替える切替えスイッチ420aとDCSの送信/受信を切り替える切替えスイッチ420b、アンテナANTに接続され受信信号からGSM用の信号とDCS用の信

号を分離する分波器 430 などが設けられている。切替えスイッチ 420a, 420b の切替え制御信号は CPU 500 から与えられる。図 11 には示されていないが、パワーモジュール 200 またはフロントエンド・モジュール 400 には、パワーアンプ 210a, 210b の出力端子またはパワーモジュール 200 の送信出力端子とロウパスフィルタ 410a, 410b との間に接続されてインピーダンスの整合を行なうインピーダンス整合回路が設けられる。

#### 【0070】

なお、上記のような GSM と DCS のデュアルバンド通信システムにおいては、GSM 側のパワーアンプ 210a の出力電力と DCS 側のパワーアンプ 210b の出力電力の最大レベルはそれぞれ規格によって規定されていて異なっているが、高周波電力増幅用トランジスタ TR3 と電流検出回路 20 の出力検出用トランジスタ TR4 とのサイズ比およびカレントミラー回路を構成するトランジスタ TR5 と TR6 とのサイズ比をそれぞれ適当に設定することにより、2 乗根変換回路 30 や電流－電圧変換回路（センス用抵抗）40 および誤差アンプ 50 を 2 つのバンドで共用させることができる。パワーアンプ 210a または 210b のいずれを動作させるか指示するモード制御信号 Mode が CPU 500 からパワーモジュール 200 に与えられる。

#### 【0071】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば前記実施例では、電流検出回路 20 と電流－電圧変換回路 40 との間に 2 乗根変換回路 30 を設けたものを説明したが、2 乗根変換回路 30 の代わりに  $n$  乗根変換回路（ $n$  は 2 以上の整数）や対数変換回路を設けても良い。また、 $n$  乗根変換回路や対数変換回路を設ける代わりに、電流検出回路 20 または電流－電圧変換回路 40 にその出力が入力に対して  $n$  乗根関数もしくは対数関数的に変化するような特性を持たせるように構成してもよい。また、前記実施例の高周波電力増幅回路では、電力増幅 FET を 3 段接続しているが、2 段構成としたり、4 段以上の構成としても良い。

#### 【0072】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である GSM と DCS の 2 つの通信方式による送受信が可能なデュアルモードの無線通信システムを構成するパワーモジュールに適用した場合を説明したが、本発明はそれに限定されるものでなく、他の通信方式や、GSM と DCS と PCS (Personal Communications System) など 3 以上の通信方式による送受信が可能なマルチモードの携帯電話機や移動電話機などの無線通信システムを構成するパワーモジュールに利用することができる。

### 【0073】

#### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、高周波電力増幅回路の出力電力のフィードバック制御に必要な出力レベルの検出を電流検出方式で行なう無線通信システムにおいて、制御ループの安定性および送信要求レベルの変化に対する応答性を向上させることができる。

### 【0074】

また、本発明に従うと、高周波電力増幅回路の出力電力のフィードバック制御に必要な出力レベルの検出を電流検出方式で行なう無線通信システムにおいて、送信要求レベルの低い領域における制御感度を下げ、制御範囲全体に亘って精度良く出力レベルを制御することができるとともに、制御ループの安定性および送信要求レベルの変化に対する応答性を向上させることができる。

#### 【図面の簡単な説明】

#### 【図 1】

本発明を適用した電流検出方式の高周波電力増幅回路のフィードバック制御系の第 1 の実施例の概略構成を示すブロック図である。

#### 【図 2】

本発明を適用した電流検出方式の高周波電力増幅回路のフィードバック制御系の第 2 の実施例の概略構成を示すブロック図である。

#### 【図 3】

誤差アンプを構成する差動増幅回路の具体例を示す回路図である。

【図 4】

本発明の実施例と先願の高周波電力増幅回路のフィードバック制御系における出力レベル指示信号  $V_{\text{ramp}}$  に対する検出電圧  $V_{\text{sns}}$  の応答を示す波形図である。

【図 5】

(A) は本発明の実施例と先願の高周波電力増幅回路のフィードバック制御系におけるパワーアンプの出力電圧  $V_{\text{out}}$  と検出電圧  $V_{\text{sns}}$  との関係を示す特性図、  
(B) は本発明の実施例と先願の高周波電力増幅回路のフィードバック制御系における出力レベル指示信号  $V_{\text{ramp}}$  と出力電力  $P_{\text{out}}$  との関係を示す特性図である。

【図 6】

(A) は第 1 の実施例の制御系における出力レベル指示信号  $V_{\text{ramp}}$  に対する電流-電圧変換回路 40 の出力電圧（検出電圧） $V_{\text{sns}}$  のゲインの周波数特性を示すグラフ、(B) は第 1 の実施例の制御系における  $V_{\text{ramp}}$  に対する  $V_{\text{sns}}$  の位相の周波数特性を示すグラフである。

【図 7】

(A) は第 2 の実施例の制御系における出力レベル指示信号  $V_{\text{ramp}}$  に対する電流-電圧変換回路 40 の出力電圧（検出電圧） $V_{\text{sns}}$  のゲインの周波数特性を示すグラフ、(B) には第 2 の実施例の制御系における  $V_{\text{ramp}}$  に対する  $V_{\text{sns}}$  の位相の周波数特性を示すグラフである。

【図 8】

(A) は第 2 の実施例の制御系における閉ループのゲインの周波数特性を示すグラフ、(B) は第 2 の実施例の制御系における閉ループの位相の周波数特性を示すグラフである。

【図 9】

本発明を適用した電流検出方式の高周波電力増幅回路の具体的な回路構成例を示す回路図である。

【図 10】

実施例の 2 乗根変換回路の具体的な回路例を示す回路図である。

## 【図 1 1】

本発明を適用した GSM と DCS の 2 つの通信方式の無線通信が可能なシステムの概略の構成を示すブロック図である。

## 【図 1 2】

本出願人が先に開発した電流検出方式の高周波電力増幅回路のフィードバック制御系の概略構成を示すブロック図である。

## 【図 1 3】

本発明に先立って検討した 2 乗根変換回路を有する電流検出方式の高周波電力増幅回路のフィードバック制御系の概略構成を示すブロック図である。

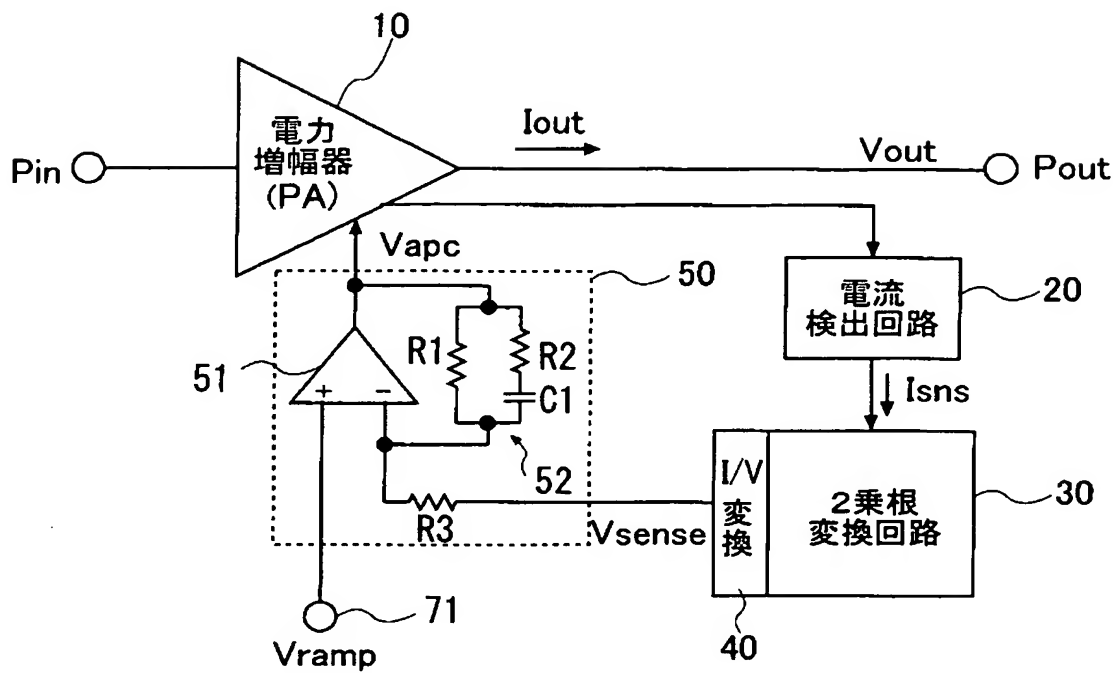
## 【符号の説明】

- 1 0 電力増幅回路
- 2 0 電流検出回路
- 3 0 2 乗根変換回路
- 4 0 電流－電圧変換回路
- 5 0 誤差アンプ
- 5 1 差動増幅回路
- 5 2 位相補償回路
- 5 3 アッテネータ
- 1 0 0 R F モジュール
- 2 0 0 パワーモジュール
- 2 1 0 a, 2 1 0 b 高周波電力増幅回路
- 3 0 0 ベースバンド回路
- 4 0 0 フロントエンド・モジュール
- 5 0 0 制御用マイクロプロセッサ (C P U)
- MN 1 ～ MN 7 インピーダンス整合回路
- I C 1, I C 2 半導体集積回路
- A N T 送受信アンテナ

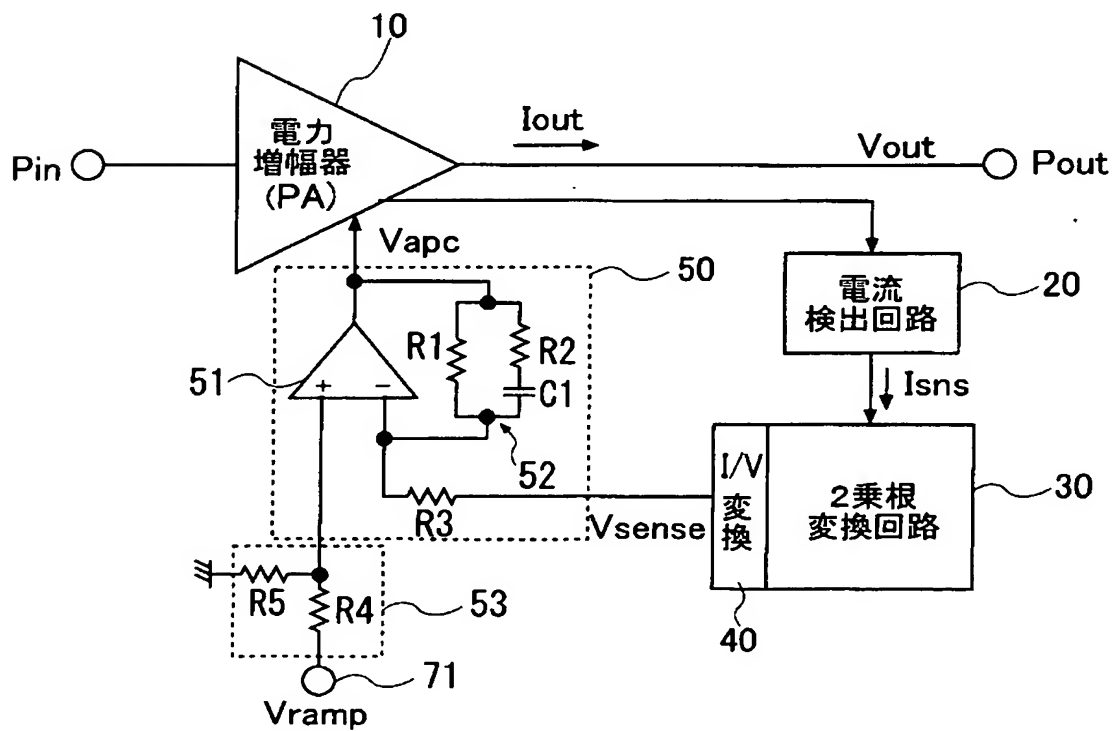
【書類名】

図面

【図 1】

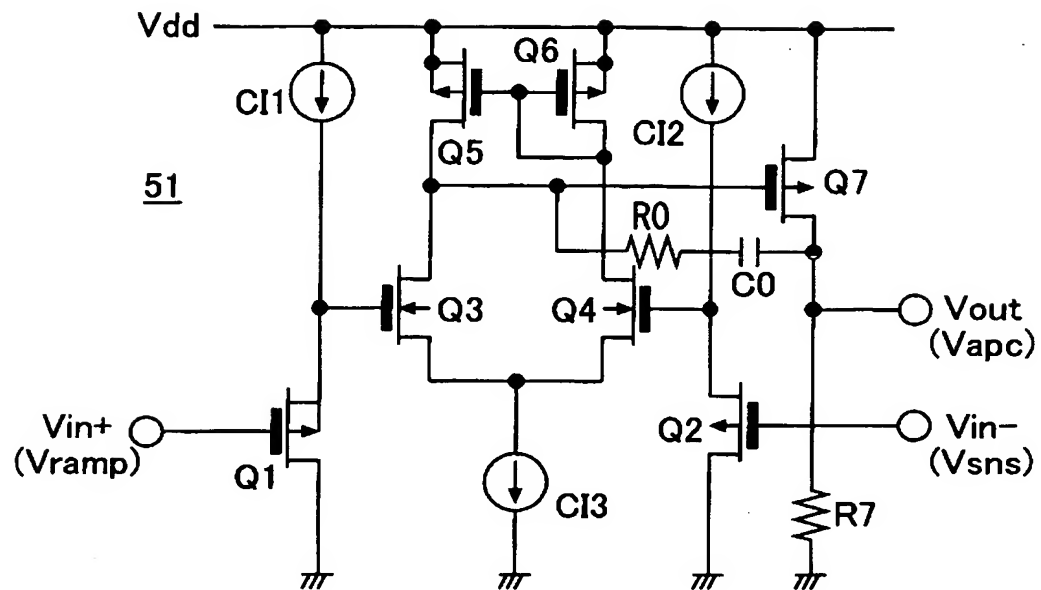


【図 2】

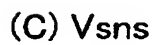
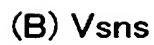
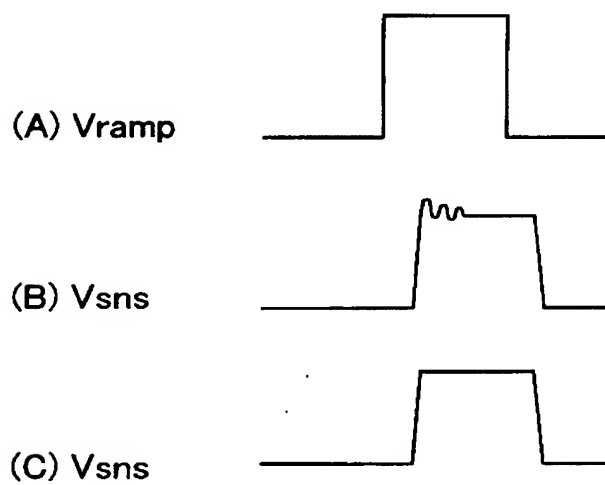




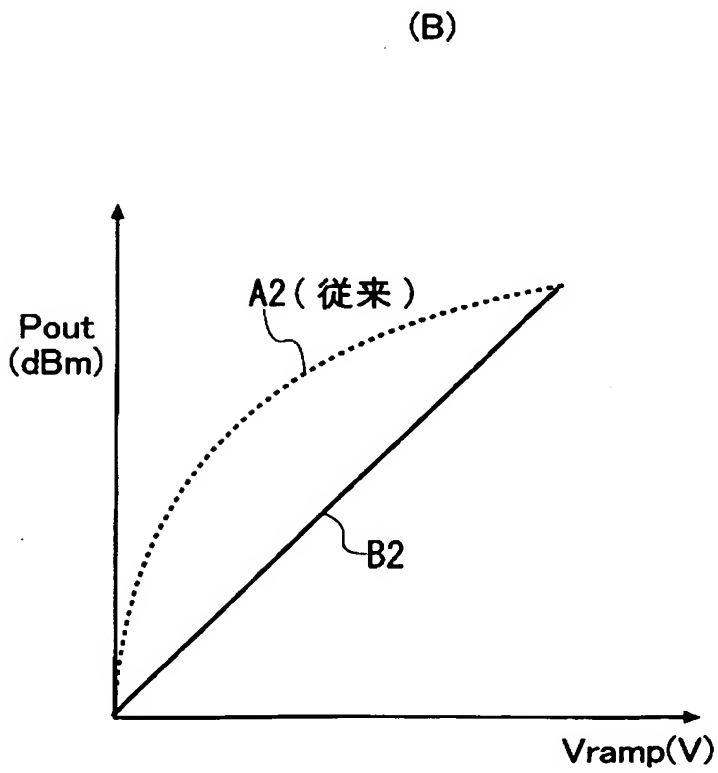
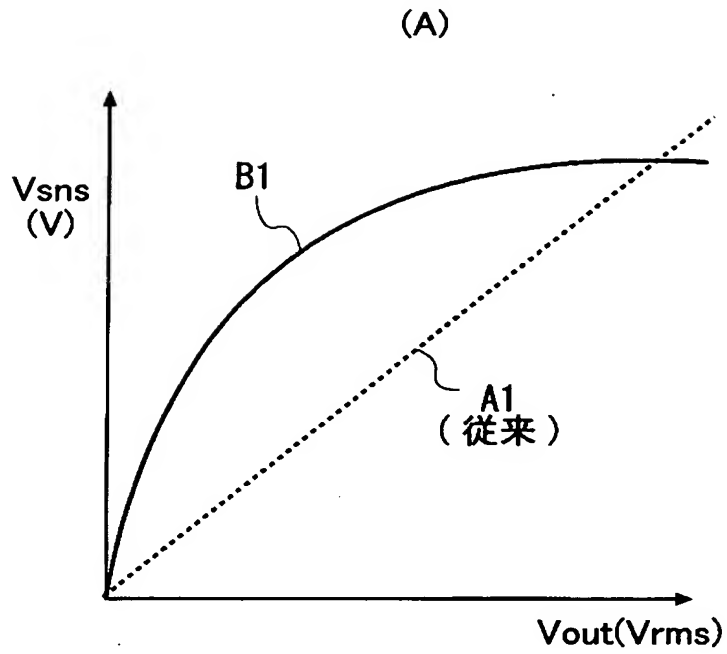
【図 3】



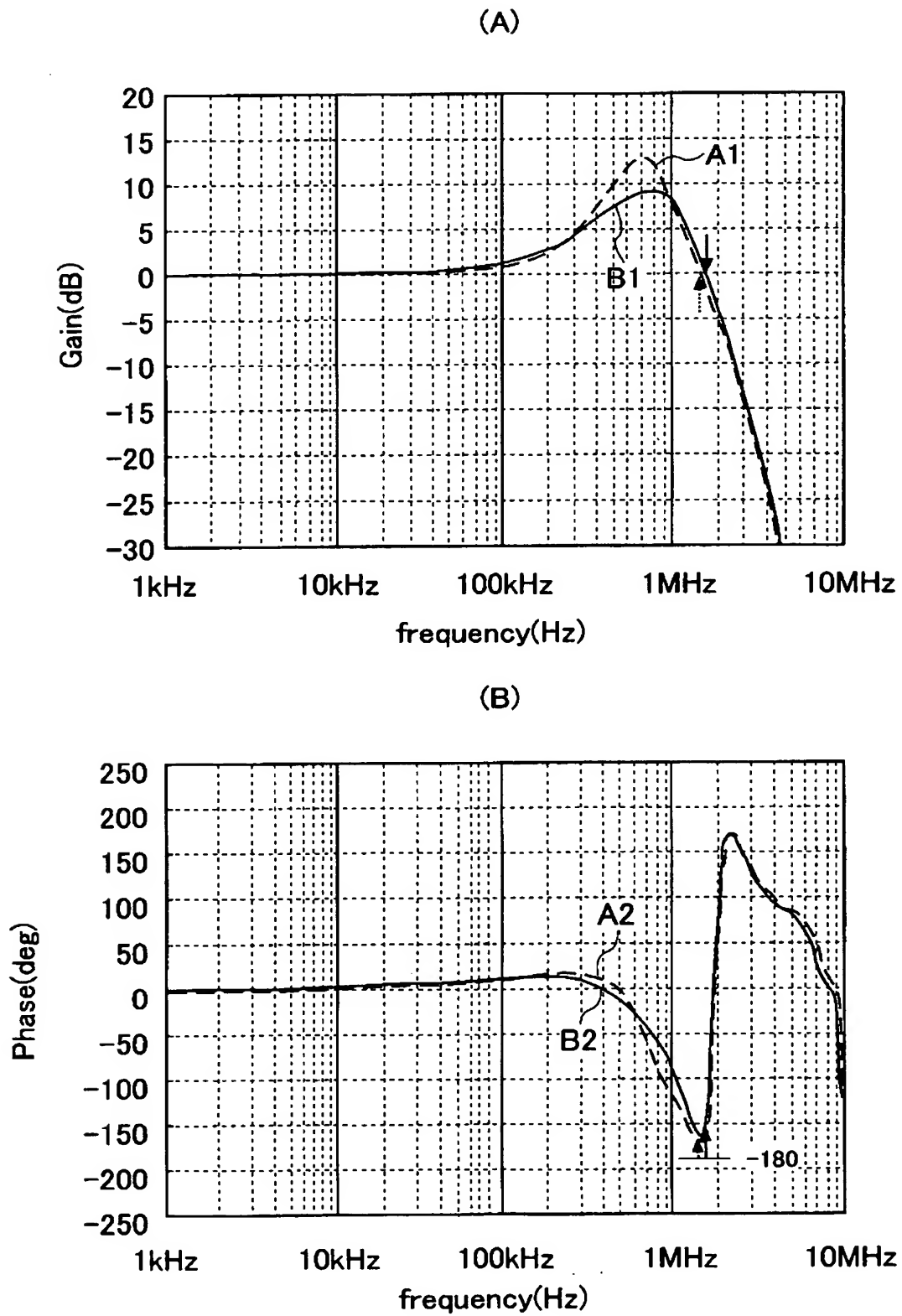
【図 4】



【図 5】

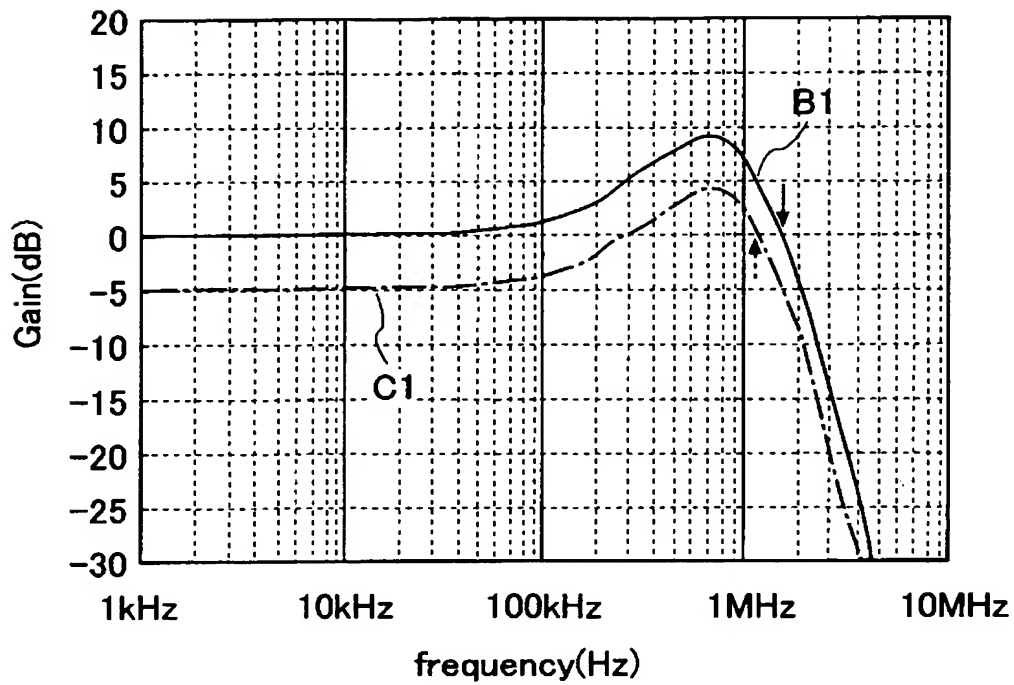


【図 6】

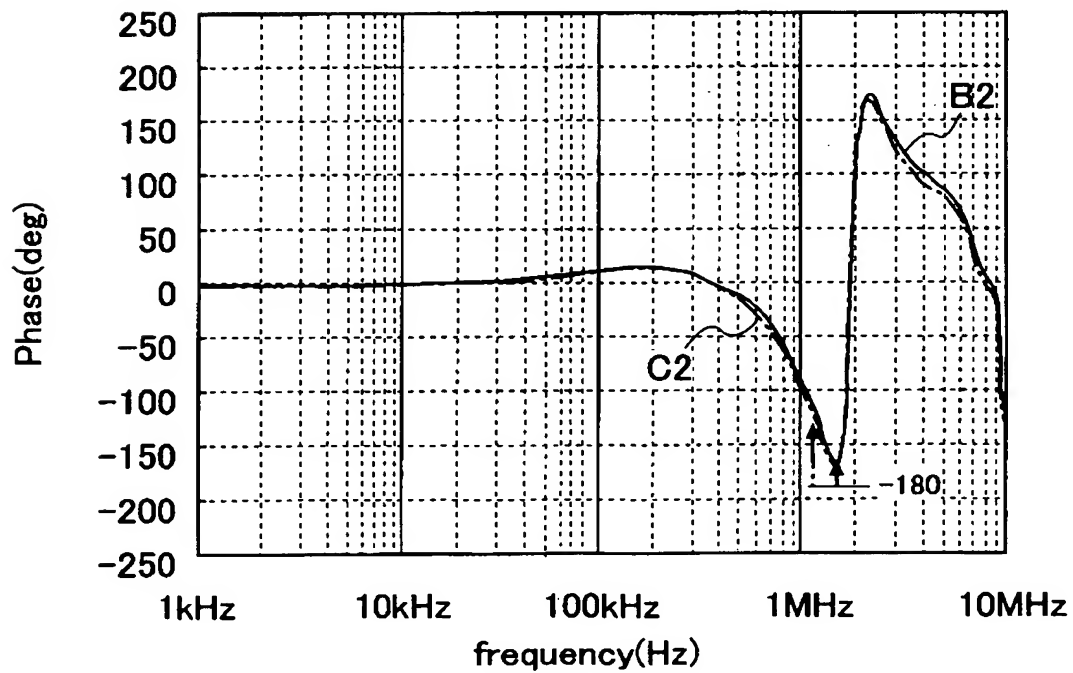


【図 7】

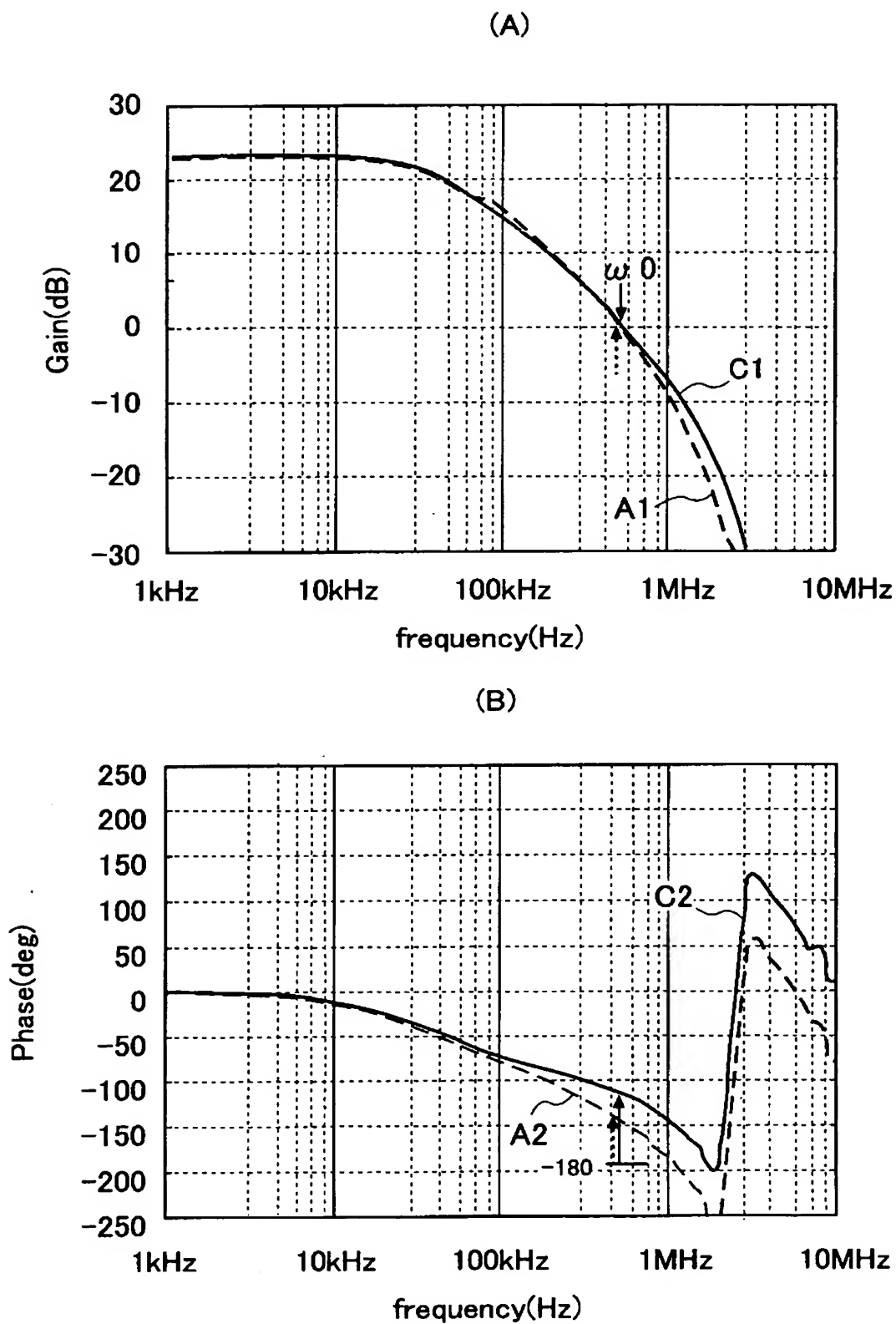
(A)



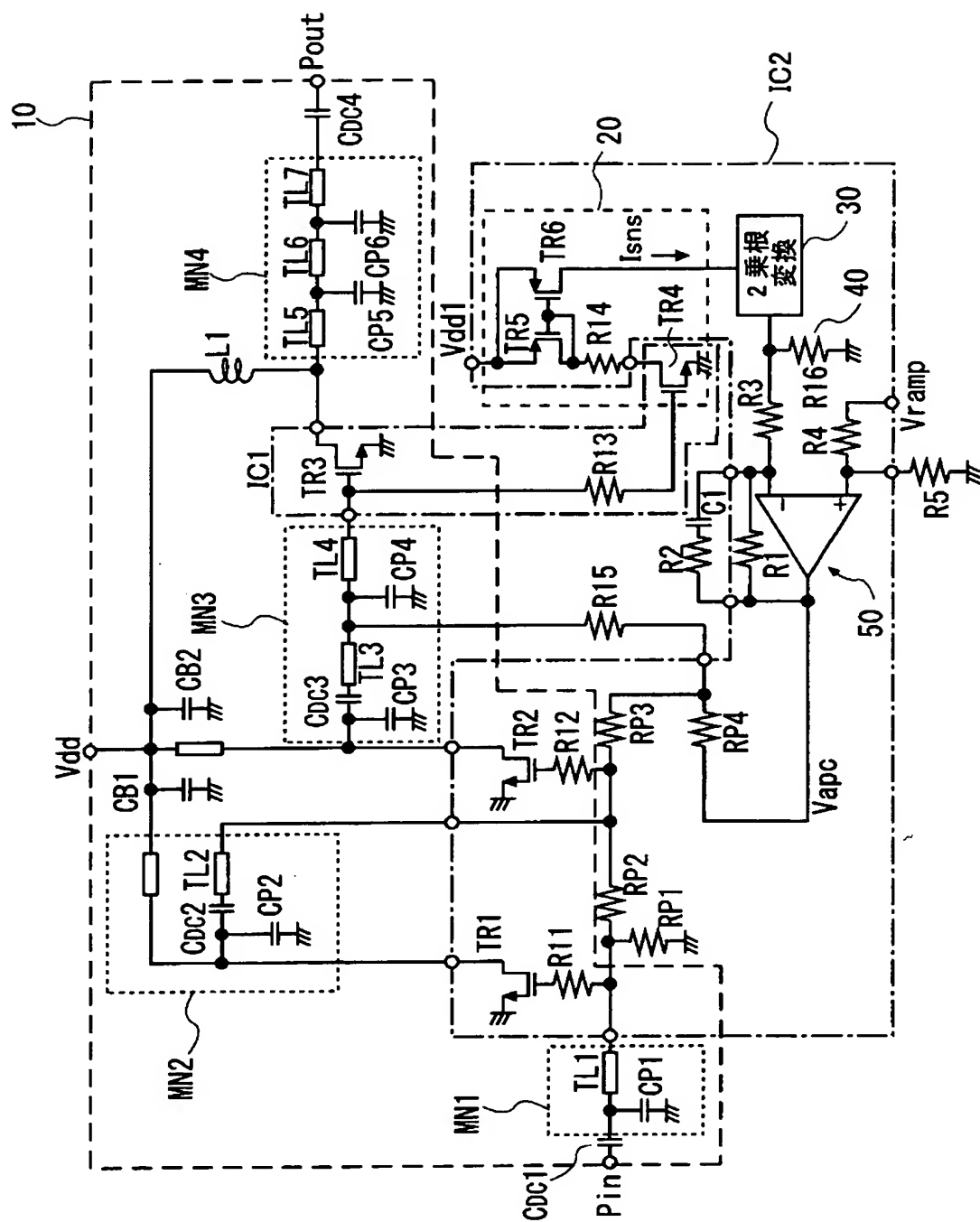
(B)



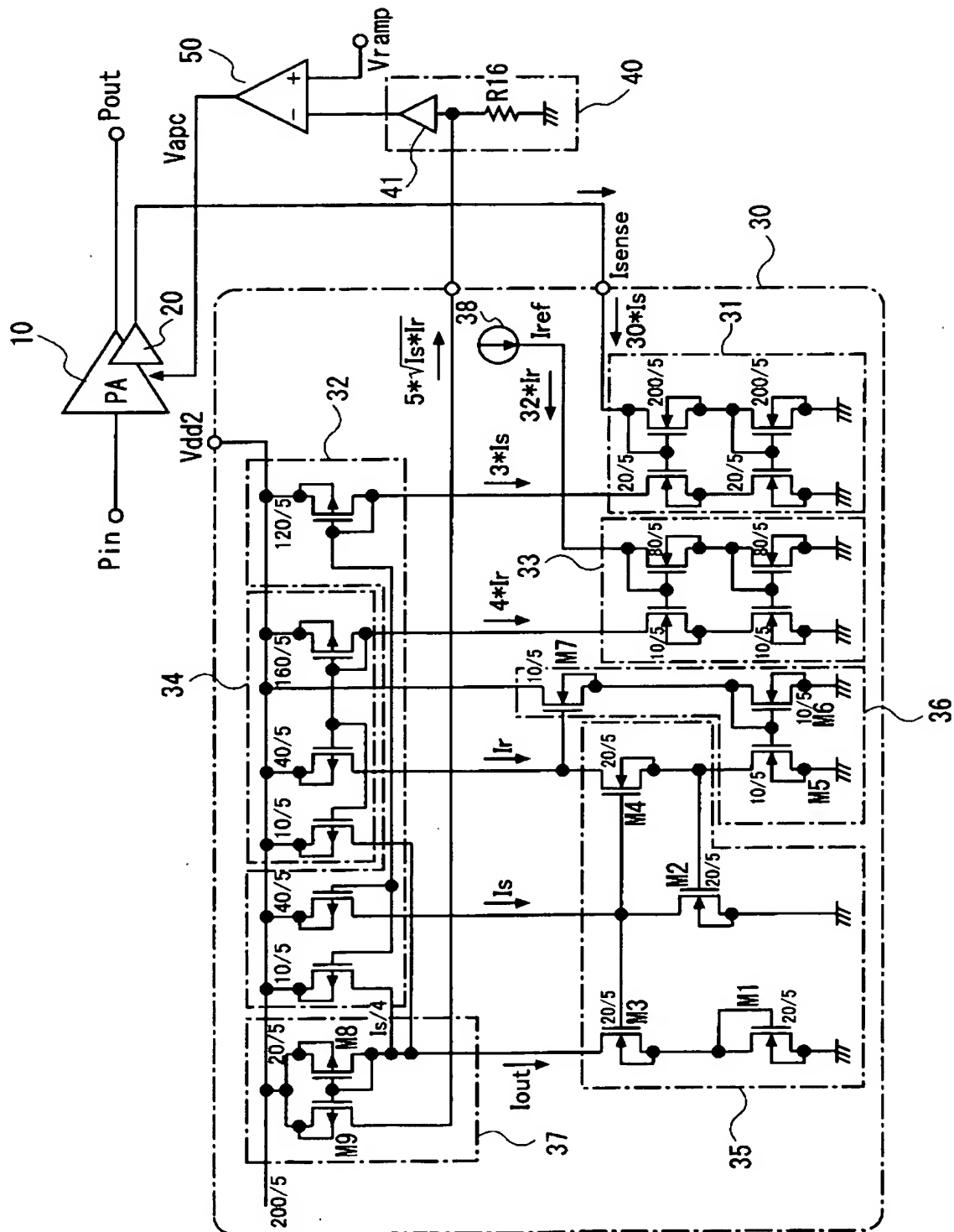
【図 8】



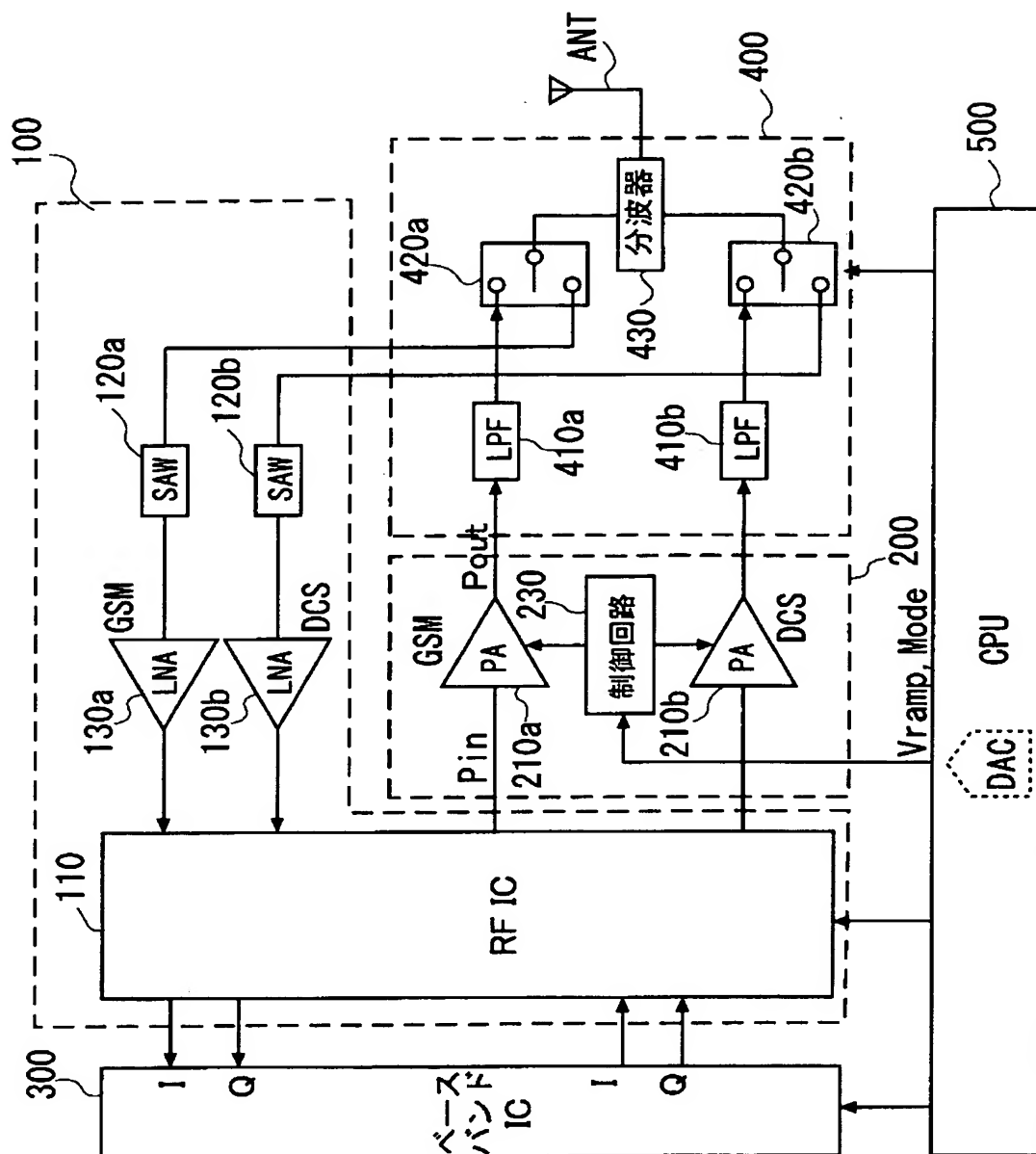
【図 9】



【図 10】

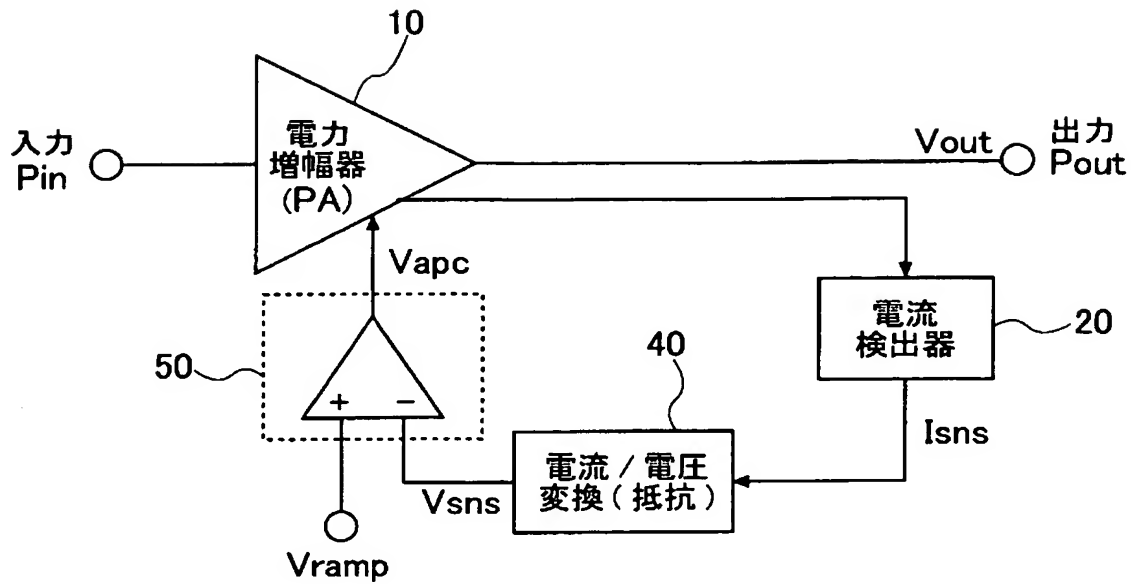


【図 11】

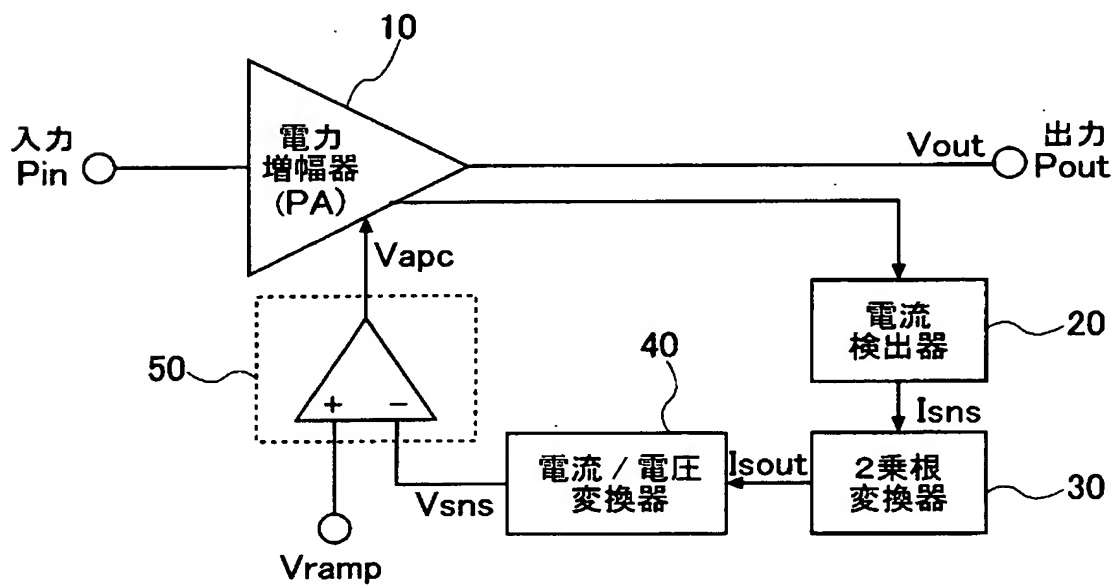




【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 出力電力のフィードバック制御に必要な出力レベルの検出を電流検出方式で行なう無線通信システムにおいて、制御ループの安定性および送信要求レベルの変化に対する応答性を向上させる。

【解決手段】 高周波電力増幅回路（10）の出力電力のフィードバック制御に必要な出力レベルの検出を電流検出方式で行ない、出力レベル検出信号と出力レベル指示信号とを比較してその差に応じて高周波電力増幅回路の利得を制御する信号を生成する誤差アンプ（50）を有する高周波電力増幅用電子部品（200）において、前記誤差アンプとして、出力端子と反転入力端子との間に、抵抗素子と該抵抗素子と並列に接続された直列の抵抗素子及び容量素子とからなる位相補償回路（52）を設けた低域濾波型増幅回路（51）を用いるようにした。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 1 6 7 8 9
受付番号	5 0 3 0 0 6 6 4 8 7 7
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 4 月 2 3 日

< 認定情報・付加情報 >

【提出日】	平成15年 4月22日
-------	-------------

次頁無

特願 2 0 0 3 - 1 1 6 7 8 9

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ